

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 05-324274

(43)Date of publication of application : 07.12.1993

(51)Int.Cl.

G06F 7/38

G06F 7/00

G06F 7/52

H03M 7/20

(21)Application number : 04-123114

(71)Applicant : MATSUSHITA ELECTRIC IND CO LTD

(22)Date of filing : 15.05.1992

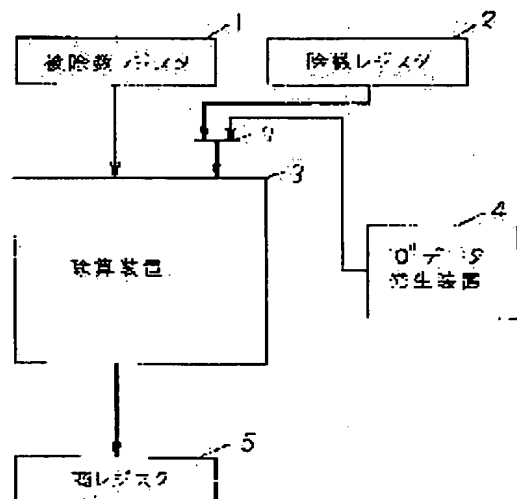
(72)Inventor : TAKAHASHI KAZUNORI

## (54) BINARY/DECIMAL CONVERTER

## (57)Abstract:

PURPOSE: To provide the binary/decimal converter capable of speedily converting binary (integral/decimal) data into decimal data by adding a little hardware to the conventional divider.

CONSTITUTION: In making a decimal conversion of binary integral data, the  $10^n$  data according to the digits of the decimal data are inputted by a divisor selector 7 instead of a divisor to the divisor data input section of a subtraction shift type divider 3 capable of performing the normal division. In short, at the normal division operation, a dividend stored in a dividend register 1 is divided by the divisor stored in the divisor register 2. At the binary/decimal conversion, the binary integral data stored in the dividend register 1 is divided by the  $10^n$  data outputted in parallel from a  $10^n$  data generator 4. The 4-bit quotient is generated according to each digit to be stored in a quotient register 5. Like the one division processing, the binary/decimal conversion can be realized.



## LEGAL STATUS

[Date of request for examination] 03.03.1998

[Date of sending the examiner's decision of rejection] 03.10.2000

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

**This Page Blank (uspto)**

[Date of requesting appeal against examiner's  
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

**This Page Blank (uspto)**

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平5-324274

(43) 公開日 平成5年(1993)12月7日

(51) Int.Cl. <sup>5</sup>	識別記号	庁内整理番号	F I	技術表示箇所
G 0 6 F 7/38	Z	9291-5B		
7/00				
7/52	3 2 0 A	9291-5B		
H 0 3 M 7/20		8522-5J		
		9188-5B		
			G 0 6 F 7/00	1 0 1 W
			審査請求 未請求	請求項の数3 (全 14 頁)

(21) 出願番号 特願平4-123114

(22) 出願日 平成4年(1992)5月15日

(71) 出願人 000005821

松下電器産業株式会社

大阪府門真市大字門真1006番地

(72) 発明者 高橋 一徳

香川県高松市寿町2丁目2番10号 松下寿

電子工業株式会社内

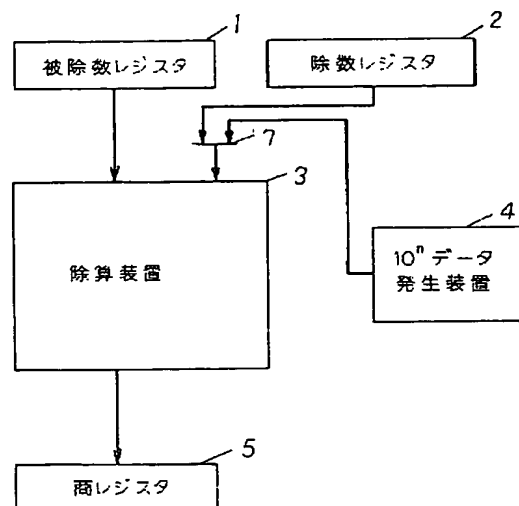
(74) 代理人 弁理士 小鍛冶 明 (外2名)

(54) 【発明の名称】 2進10進変換装置

(57) 【要約】

【目的】 従来の除算装置にわずかなハードウェアを追加するだけで、2進(整数/小数)データを10進データに高速に変換できる2進10進変換装置を提供することを目的とする。

【構成】 2進整数データを10進変換する場合には、通常の除算動作を行うことのできる減算シフト型の除算装置3の除数データ入力部に、除数に代えて除数セクタ7により10進データの桁数に応じた10<sup>n</sup>データを入力できる構成に変更する。すなわち、通常の除算動作時には被除数レジスタ1に格納された被除数を除数レジスタ2に格納された除数で除算する。2進10進変換時には、被除数レジスタ1に格納された2進整数データを、10<sup>n</sup>データ発生装置4から並列に出力した10<sup>n</sup>データにより除算し、各桁に対応して4ビットの商を生成し商レジスタ5に格納する。1回の除算処理と同様にして2進10進変換を実現する。



## 【特許請求の範囲】

【請求項1】  $n$ 桁の10進データに変換すべき2進データを格納するレジスタと、前記10進データの桁に対応して10の累乗データ( $10^{n-1}$ ,  $10^{n-2}$ …… $10^1$ ,  $10^0$ )をそれぞれ並列に出力する10<sup>\*</sup>データ発生装置と、前記レジスタに格納された2進データを被除数として入力し、前記10<sup>\*</sup>データ発生装置から出力された10の累乗データを除数として入力して除算を行なう除算装置とを備え、

前記除算装置は、10進データの桁に対応して各桁のデータをそれぞれ算出する部分商生成装置を有しており、前記複数の部分商生成装置のうち10進データの最上位の桁に対応した部分商生成装置では、前記レジスタの2進データを被除数とし、前記10の累乗データの10<sup>n-1</sup>を除数として除算を行ない、他の桁の部分商生成装置では、それぞれの上位の桁の部分商生成装置で算出された剰余を被除数とし、前記10の累乗データの10<sup>n-2</sup>,  $10^{n-3}$ …… $10^1$ ,  $10^0$ をそれぞれ除数として除算を行うことにより2進データを10進データに変換する2進10進変換装置。

【請求項2】  $n$ 桁の10進データに変換すべき2進データを格納するレジスタと、前記10進データの桁に対応して10の累乗データ( $10^{n-1}$ ,  $10^{n-2}$ …… $10^1$ ,  $10^0$ )を順次出力する10<sup>\*</sup>データ発生装置と、前記レジスタに格納された2進データを被除数として入力し、前記10<sup>\*</sup>データ発生装置から変換する10進データの桁に応じて順次出力される10の累乗データを除数として入力して除算を行ない、その一度の除算ステップで10進データの各桁の4ビットのデータのうち2ビットのデータを算出するとともに、前記除算ステップで得られた剰余を次の除算ステップでの被除数として前記レジスタに格納する部分商生成装置とを備え、

前記部分商生成装置は、前記レジスタから出力されたデータから10の累乗データ、その2倍値及びその3倍値をそれぞれ減算する3つの減算装置と、前記減算装置に入力する10の累乗データを生成するためその桁位置を移動させるためのシフトと、前記3つの減算装置における除算の成立状況を示すキャリア出力に応じて2ビットの商を出力する商決定装置と、前記キャリア出力に応じて前記レジスタに出力する剰余を選択する剰余セレクタとを備えた2進10進変換装置。

【請求項3】 10進データに変換すべき2進小数データの小数点以下のデータを格納するレジスタと、前記レジスタに格納されたデータを16倍する第1のシフトと、前記データを4倍する第2のシフトと、前記データを2倍する第3のシフトと、前記第1のシフトの出力から前記第2のシフトの出力と第3のシフトの出力とを減算することにより前記データを10倍するとともに、算出された剰余に小数点以上の桁上がりがある場合にはそれを出力する減算装置とを備え、前記減算装置に

より算出された小数点以下の桁数に応じた剰余を前記レジスタに格納する部分商生成装置と、

前記レジスタに格納されたデータの最上位ビットのデータ及び上位3ビットのデータと、前記レジスタに格納されたデータを前記部分商生成装置において10倍した結果桁上りの出力とを加算し、10進小数データの各桁の4ビットのデータを算出する加算装置とを備えた2進10進変換装置。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】本発明は数値演算に伴うデータ型変換を行なう2進10進変換装置に関するものである。2進10進変換は数値演算で用いるデータフォーマットをシステム外部で用いるアスキーコード等に変換する際に使用され、ユーザインタフェースを含むシステムの場合には比較的多用されるものであり、2進10進変換速度はシステム性能に大きな影響を与えるものである。

## 【0002】

【従来の技術】従来の2進10進変換はソフトウェアが提供するアルゴリズムに従ってCPU内で実行されており、図9はそのフローチャートを示すものである。以下、図9に従ってその動作を説明する。

【0003】図9は2進整数データ( $R_n$ )を10進 $n$ 桁( $D_{n-1} \times 10^{n-1} + \dots + D_1 \times 10^1 + D_0 \times 10^0$ )の10進データに変換する変換アルゴリズムを示したものであり、10進データの各桁ごとにその桁数に対応する10<sup>k</sup>データ( $k$ は $n-1$ …… $0$ )で除算を行って変換するものである。 $k$ は処理中の桁を示し、 $R_k$ は各桁の処理中に算出される部分剰余を示すものである。以下にそれぞれの処理について詳細に説明する。

(a) データの初期化 ( $k=n-1$ ,  $R_k$ =入力2進データ)

(b) 10進 $k$ 桁データ( $D_k$ )生成

・10<sup>k</sup>データをメモリから読出し

・ $D_k = R_k / 10^k$  (除算)

・ $R_{k-1}$  = 剰余

(c) 処理桁の移動 ( $k=k-1$ )

(d) 桁数の確認

$k \geq 0$  … (b)から実行

$k < 0$  … 終了

上記(b)～(d)の操作を $n+1$ 回繰り返して2進10進変換を完了する。

【0004】図10は従来の2進小数データを10進小数データに変換する2進10進変換のフローチャートを示すものである。以下、図10に従ってその動作を説明する。図10は2進の小数点以下の固定小数点データ( $R_n$ )を10進 $n$ 桁( $D_{-1} \times 10^{-1} + D_{-2} \times 10^{-2} + \dots + D_{-n} \times 10^{-n}$ )の10進小数データに変換する変換アルゴリズムを示したものであり、 $k$ は処理中の桁を示し、 $R_k$ は処理中の固定小数点データを示すものである。以下にそれぞれの処理について詳細に説明する。

(a) データの初期化 ( $k=-1, R_k$ =入力2進固定小数点データ)

(b) 10進k桁データ ( $D_k$ ) 生成

$\cdot R_k \times 10$  (乗算)

小数点以下  $\rightarrow R_{k-1}$ , 小数点以上  $\rightarrow D_k$

(c) 処理桁の移動 ( $k=k-1$ )

(d) 桁数の確認

$k \geq -n \dots$  (b)から実行

$k < -n \dots$  終了

上記(b)~(d)の操作をn回繰り返して2進10進変換を完了する。

【0005】

【発明が解決しようとする課題】しかしながら従来の2進10進変換においては、2進整数データを10進n桁データに変換する場合、除算(商及び剰余算出)をmクロックで実現できる除算ハードウェアを実装していたとするとm(n+1)クロック以上必要となる。また、2進小数データを10進データに変換する場合、10倍値を生成するためその処理にn回の乗算(10倍)が必要となってくる。10倍値生成にmクロック必要となる場合、2進10進変換処理にmnクロック以上必要となる。

【0006】以上の様に従来の2進10進変換処理には非常に時間がかかるという問題点があった。

【0007】

【課題を解決するための手段】上記課題を解決するため本発明の2進10進変換装置は、n桁の10進データに変換すべき2進データを格納するレジスタと、前記10進データの桁に対応して10の累乗データ( $10^{-1}$ ,  $10^{-2}$ , ...,  $10^1$ ,  $10^0$ )をそれぞれ並列に出力する10データ発生装置と、前記レジスタに格納された2進データを被除数として入力し、前記10データ発生装置から出力された10の累乗データを除数として入力して除算を行なう除算装置とを備え、前記除算装置は、10進データの桁に対応して各桁のデータをそれぞれ算出する部分商生成装置を有しており、前記複数の部分商生成装置のうち10進データの最上位の桁に対応した部分商生成装置では、前記レジスタの2進データを被除数とし、前記10の累乗データの $10^{-1}$ を除数として除算を行ない、他の桁の部分商生成装置では、それぞれの上位の桁の部分商生成装置で算出された剰余を被除数とし、前記10の累乗データの $10^{-2}$ ,  $10^{-3}$ , ...,  $10^1$ ,  $10^0$ をそれぞれ除数として除算を行うことにより2進データを10進データに変換するものである。

【0008】

【作用】上記構成の2進10進変換装置は、従来用いられている通常の除算装置に10データ発生装置等のわずかなハードウェアを追加するだけで構成でき、1回の除算処理と同様にして2進整数データの10進変換を行うものであり、変換の高速化を図ることができる。

【0009】

【実施例】以下本発明の2進10進変換装置について、図面を参照しながらその実施例について説明する。

【0010】(実施例1)図1は本発明の第1の実施例における2進10進変換装置の構成図を示すものである。従来の減算シフト型の除算装置を改善することによって、通常の除算に加えて2進10進変換を行えるよう構成したものである。以下32ビットの2進データを8桁のBCDデータに変換するものについて説明する。

【0011】図1において、1は通常の除算時には被除数を、2進10進変換時には10進データに変換すべき2進データを格納する被除数レジスタ、2は通常の除算時に除数を格納する除数レジスタ、4は2進10進変換時に除数とする10データ(nは変換すべきBCDデータの桁数に応じた0以上の整数)を並列に発生する10データ発生装置、3は通常の除算時には被除数レジスタ1と除数レジスタ2の内容を入力してその除算を行って商を算出し、2進10進変換時には被除数レジスタ1に格納された2進データと10データ発生装置4の出力データから除算を行って10進データを生成する減算シフト型の除算装置、5は前記商または10進データを格納する商レジスタ、7は通常の除算実行時には除数レジスタ2の内容を選択し、2進10進変換実行時には10データ発生装置4の出力を選択する除数セクタをそれぞれ示している。

【0012】図2は図1における除算装置3の内部構成を示したものであり、除算装置3は64ビット÷32ビット除算を実行するものである。図2において、6a~6hは32ビットの商のうち、それぞれ4ビットの部分商 $Q_7 \sim Q_0$ を算出する4ビット部分商生成装置である。4ビット部分商生成装置6aは被除数として被除数レジスタ1の内容を入力し、他の4ビット部分商生成装置6b~6hは前段の4ビット部分商生成装置において生じた部分剰余 $R_7 \sim R_1$ を被除数とする。各4ビット部分商生成装置6a~6hの除数は除数セクタ7により、通常の除算時には除数レジスタ2の出力が、2進10進変換時には10データ発生装置4の出力 $10^7 \sim 10^0$ が選択される。

【0013】各4ビット部分商生成装置6a~6hにおいては、4ビットの部分商 $Q_7 \sim Q_0$ を算出するためそれぞれ4段の減算器を実装しており、1ビット減算シフト型の除算法に従って動作する。それぞれの4ビット部分商生成装置の動作について、4ビット部分商生成装置6aの動作を代表して説明する。

【0014】図3にその動作説明図を示す。4段の減算器では、それぞれ求める部分商の桁の位置までシフトした除数セクタ7の出力を、入力された被除数または部分剰余から減算して部分商及び部分剰余を算出する。すなわち、最上段の減算器では被除数レジスタ1の出力が被除数 $R_0$ として設定され、除数として除数セクタ7

の出力 $DV_{21}$ が設定されて減算処理( $R_{70}-DV_{21}$ )が実行され、4ビット部分商 $Q_7$ のうちの最上位のビットの $q_{71}$ が得られる。下段の減算器ではそれぞれ上段の減算器において算出された剰余( $R_{71}\sim R_{73}$ )から、除数セクタ7の出力をそれぞれ右に1ビットシフトして入力した除数( $DV_{20}\sim DV_{23}$ )によって減算処理を実行することにより、商 $Q_7$ の残りの3ビット( $q_{70}\sim q_{72}$ )および剰余 $R_7$ が算出される。

【0015】次段の4ビット部分商生成装置6bには前段の部分剰余 $R_7$ が入力され、所定の桁(MSBから4ビット目)から同様の処理を続行する。4ビット部分商生成装置6c～6hも同様にして部分商及び部分剰余を算出する。除算の実行は4ビット部分商生成装置6a～6hを8段(減算器32段)通過することにより、32ビットの商を求めることができる。なお、2進10進変換時には図3に示すように、 $DV_{28}$ データの小数点位置Fを基準に $10^7$ データを設定するようにするため、小数点位置Fを基準にして $DV_{29}\sim DV_{31}$ には、 $DV_{29}=10^7\times 2$ 、 $DV_{30}=10^7\times 4$ 、 $DV_{31}=10^7\times 8$ をそれぞれ設定する。

【0016】以上のように構成した本実施例の2進10進変換装置について、2進10進変換の実行順序を以下に説明する。本実施例では32ビットの2進整数データから8桁の10進データ( $Q_7\sim Q_0$ )を生成するものである。

- (1) 被除数レジスタ1の上位32ビットに2進整数データ設定
- (2) 4ビット部分商生成装置6aにおいて、被除数レジスタ1の内容を $10^7$ で除算  
→ 4ビット部分商 $Q_7$ ( $10^7$ 桁10進データ)、部分剰余 $R_7$ 算出
- (3) 4ビット部分商生成装置6bにおいて、部分剰余 $R_7$ を $10^6$ で除算  
→ 4ビット部分商 $Q_6$ ( $10^6$ 桁10進データ)、部分剰余 $R_6$ 算出
- (4) 4ビット部分商生成装置6cにおいて、部分剰余 $R_6$ を $10^5$ で除算  
→ 4ビット部分商 $Q_5$ ( $10^5$ 桁10進データ)、部分剰余 $R_5$ 算出
- (5) 4ビット部分商生成装置6dにおいて、部分剰余 $R_5$ を $10^4$ で除算  
→ 4ビット部分商 $Q_4$ ( $10^4$ 桁10進データ)、部分剰余 $R_4$ 算出
- (6) 4ビット部分商生成装置6eにおいて、部分剰余 $R_4$ を $10^3$ で除算  
→ 4ビット部分商 $Q_3$ ( $10^3$ 桁10進データ)、部分剰余 $R_3$ 算出
- (7) 4ビット部分商生成装置6fにおいて、部分剰余 $R_3$ を $10^2$ で除算  
→ 4ビット部分商 $Q_2$ ( $10^2$ 桁10進データ)、部分剰余 $R_2$ 算出

(8) 4ビット部分商生成装置6gにおいて、部分剰余 $R_2$ を $10^1$ で除算  
→ 4ビット部分商 $Q_1$ ( $10^1$ 桁10進データ)、部分剰余 $R_1$ 算出

(9) 4ビット部分商生成装置6hにおいて、部分剰余 $R_1$ を $10^0$ で除算  
→ 4ビット部分商 $Q_0$ ( $10^0$ 桁10進データ) 算出

(10) 商レジスタ5において、 $Q_7, Q_6, Q_5, Q_4, Q_3, Q_2, Q_1, Q_0$ ラッチ

以上のように、本実施例によれば、2進10進変換が1回の除算動作と同様に実行することができるため、従来に対して $(n+1)$ 倍の高速化が実現できる。本実施例は、通常の除算装置に対して、 $10^n$ データ発生装置と除数セクタを追加しているだけである。即ち、わずかなハードウェアの追加で2進10進変換を高速に実行することができる。

【0017】なお、本実施例では64ビット÷32ビット除算装置について説明したが、32段ある減算器の段数を少なくとも(16、8段等)、入力すべき $10^n$ データを除算処理に対応して選択することによって、通常の除算と全く同様にして2進10進変換を実行することができる。また、10進数の桁数が多い場合も被除数レジスタおよび商レジスタのデータ幅を大きくして、減算器の段数を多くする方法または定数入力を変更して除算処理を2回繰り返して実行する方法等によって容易に対応することができる。

【0018】(実施例2) 図4は本発明の第2の実施例における2進10進変換装置の構成図を示すものであり、従来用いられている除算装置を改善することにより、通常の除算動作に加えて2進10進変換を行えるようにしたものである。以下に32ビットの2進整数データを8桁の10進整数データに変換する場合を例にして説明する。

【0019】図4において、9は部分商生成装置であり、除算ステップを複数サイクル繰り返して商を算出する除算装置によって構成したものであり、1サイクルで2ビットの商を算出するものである。2は通常の除算動作時に除数を格納する除数レジスタ、4は2進10進変換時に部分商生成装置9に入力する $10^n$ データ( $n$ は変換すべきBCDデータの桁数に応じた0以上の整数)を発生する $10^n$ データ発生装置、7は除算実行時には除数レジスタ2の内容を選択し、2進10進変換実行時には $10^n$ データ発生装置4の出力データを選択して出力する除数セクタである。8は剰余レジスタであり、通常の除算動作及び2進10進変換を行う際、それらの演算開始時には被除数または10進変換すべき2進整数データを格納し、演算実行中には部分商生成装置9の除算による剰余を格納する。5は部分商生成装置9により算出された商または10進データを格納する商レジスタである。



【0020】図5は部分商生成装置9の詳細な説明図である。図5において、90は剰余シフトであり、除算実行時には剰余レジスタ8から入力された被除数を左へ2ビットシフトさせ、10進変換実行時には剰余レジスタ8から入力されたデータを通過させるものである。91aは除算実行時には除数レジスタ1からのデータを左へ1ビットシフトさせ、10進変換実行時には10<sup>4</sup>データ発生装置4からのデータを左へ3ビットシフトさせたり左へ1ビットシフトさせたりする除数シフトa、91bは除算実行時には除数レジスタ1からのデータを通過させ、10進変換実行時には10<sup>4</sup>データ発生装置4から出力されたデータを左に2ビットシフトさせたり通過させたりする除数シフトbである。92は減算装置であり、剰余シフト90からの入力Aと除数シフトb91bからの入力Bとの減算(A-B)を実行する。93は2倍値減算装置であり、剰余シフト90からの入力Aと、除数シフトa91aからの入力Bとの減算(A-B)を実行する。94は3倍値減算装置であり、剰余シフト90からの入力Aと、除数シフトa91aからの入力Bと、除数シフトb91bからの入力Cとの減算(A-B-C)を実行する。95は商決定装置であり、減算装置92のキャリ出力C0、2倍値減算装置93のキャリ出力C1、3倍値減算装置94のキャリ出力C2を入力して2ビットの商Qを算出する。96は商決定装置95により求められる2ビットの商に応じて、減\*

\*算装置92、2倍値減算装置93、3倍値減算装置94から出力される剰余のうちの一つを選択して剰余レジスタ8に出力する剰余セクタであり、商決定装置95により制御される。

【0021】以上のように構成した本実施例の2進10進変換装置について、以下その動作を説明する。まず、通常の除算動作を行う場合について説明する。

(1) 初期設定

・剰余レジスタ8に被除数を右に2ビットシフトした状態で設定

・除数セクタ7は除数レジスタ2を選択

(2) 減算処理

・剰余シフト90はデータを左2ビットシフト

・除数シフトa91aはデータを左1ビットシフト(2倍)

・除数シフトb91bはデータを通過

・3つの減算装置92、93、94において、減算を実行

(3) 商、剰余決定

商決定装置95において、3つの減算装置92、93、94のキャリ出力C0、C1、C2から(表1)に従って商2ビットを決定するとともに、剰余セクタ96の出力を決定し、それぞれ商レジスタ5、剰余レジスタ8にラッチ【0022】

【表1】

キャリ出力C0,C1,C2	商Q	剰余セクタ出力
000	00	R3
100	01	R0
110	10	R1
111	11	R2

【0023】(2)、(3)動作を16回繰り返して32ビットの商及び剰余を算出する。次に2進10進変換について説明する。2進10進変換はこれまで説明した除算動作が基本となる。各桁の4ビットの10進データを算出するために除算ステップを2サイクル繰り返すことになる。

(1) 初期設定

・剰余レジスタ8に32ビットの2進整数データを設定  
・除数セクタ7は10<sup>4</sup>データ発生装置4の出力(初期値:10<sup>4</sup>)を選択

(2a) 減算処理

・剰余シフト90はデータを通過  
・除数シフトa91aはデータを左3ビットシフト

・除数シフトb91bはデータを左2ビットシフト

・3つの減算装置92、93、94において減算を実行

(3a) 商、剰余決定

除算動作(3)と同様に(表1)に従って、各桁の4ビットの商のうち上位2ビットの商を決定し、剰余を選択する。

(2b) 減算処理

・剰余シフト90は(3a)により求められた剰余を通過

・除数シフトa91aはデータを左1ビットシフト

・除数シフトb91bはデータを通過

・3つの減算装置92、93、94において減算を実行

(3b) 商、剰余決定

50 除算動作(3)と同様に(表1)に従って、各桁の4ビット

トの商のうち下位2ビットの商を決定し剰余を選択する。

【0024】(2a), (3a), (2b), (3b)動作により10'桁の4ビット10進データが生成される。10'データ発生装置4から、10進データの各桁の商4ビットが算出される毎にnをデクリメントさせて、10<sup>6</sup>~10<sup>0</sup>データを発生させながら(2a), (3a), (2b), (3b)動作を7回繰り返すことにより、10<sup>6</sup>~10<sup>0</sup>桁の10進データを生成する。

【0025】図6は2進10進変換する場合の具体的な数値例を示したものであり、2進データ'1110101001001010100001101'を10進データ'30709005'に変換する場合の様子を示している。中心線の左側は商レジスタ5の内容を示しており、右側は部分商生成装置9内の動作を示していて、減算ができない(商が'00')場合の記述は省略している。

【0026】図において10'桁の4ビットの10進データのうち上位2ビットの商を求める動作[1]は上記の(2a), (3a)と対応しており、これは3個の減算装置92, 93, 94において、上記2進データからの10'データまたはその2倍値またはその3倍値の減算が成り立たず、それら減算装置のキャリー出力がともに0であることに基つき、商'00'が選択されたことを示している。また10'桁の4ビットのデータのうち下位2ビットのデータを求める動作[2]は上記(2b), (3b)の動作に対応しており、上記2進データから10'データ(X)の3倍値の減算が成立し、商'11'が算出されたことを示している。

【0027】次に10<sup>6</sup>桁の4ビットの10進データを求める動作[3][4]では、上記[2]の減算によって算出された剰余からの10<sup>6</sup>データの減算がともに成り立たなかったことを示している。[5]は10<sup>5</sup>桁の4ビットの10進データのうち上位2ビットを算出する動作を示しており、[2]で算出された剰余から10<sup>5</sup>データ(X)の減算が成立し商'01'が得られている。また[6]は10<sup>5</sup>桁の下位2ビットのデータを求める動作を示しており、[5]で求められた剰余から10<sup>5</sup>データ(X)の3倍値の減算が成立し、商'11'が得られている。以下同様にして減算動作を繰り返えされる。2ビット毎の処理のため、16サイクルで2進10進変換が完了している。

【0028】以上のように本実施例の2進10進変換装置は、従来の除算装置に対して2進10進変換機能を付加することによるハードウェアの変更は除数セレクト、除数シフトの追加、剰余シフトのデータ通過機能の追加して構成される。このようにわずかなハードウェアを追加するだけで、2進10進変換が1回の除算動作と同様に実行できるため、従来に対して(n+1)倍の高速度化が実現できる。

【0029】(実施例3) 図7は本発明の第3の実施例

における2進10進変換装置の構成図を示すものであり、上記第2の実施例における2進10進変換装置にさらなる構成を追加することにより、通常の除算動作及び2進整数データの2進10進変換に加えて、2進小数データの10進データへの変換を可能にしたものである。

【0030】図7において、上記第2の実施例における2進10進変換装置と同様の構成部分については同符号を付して説明を略し、異なる部分の構成について以下説明する。13は入力セレクトであり、通常の除算時または2進整数データの2進10進変換時には、剰余レジスタ8の内容が部分商生成装置9内での減算処理における被除数として剰余シフト90に入力され、2進小数データの2進10進変換時には、剰余レジスタ8の内容が部分商生成装置9内での減算処理における被除数及び除数として剰余シフト90及び各除数シフト91a, 91bに入力されるように切り換えるものである。14は除数セレクトであり、通常の除算動作時には除数レジスタ2の内容を選択し、2進整数データの2進10進変換時には10'データ発生装置4の内容を選択し、2進小数データの2進10進変換時には剰余レジスタ8の内容を選択して部分商生成装置9に入力するものである。12は加算装置であり、2進小数データの10進変換時に剰余レジスタ8からの出力と部分商生成装置9からの出力との和を求めることにより、10進小数データの各桁の4ビットのデータを算出するものである。11は加算装置12により算出された10進データを格納する10進データレジスタである。10は2進小数データの2進10進変換実行時に、入力セレクト13と除数セレクト14とを制御したり、除数シフトa91a, b91bのシフト数を制御したり、さらに剰余セレクト96の出力を3倍値減算装置94の出力データに固定するように商決定装置95を制御したりする10倍制御装置である。

【0031】以上のように構成された本実施例について、以下その動作を説明する。本実施例における通常の除算動作及び2進整数データの2進10進変換動作は上記第2の実施例で説明したものと同様であるのでこの説明は割愛し、以下小数10進変換について説明する。

【0032】本実施例における2進小数データの10進変換のアルゴリズムは、基本的に従来の技術で説明したものと同様に2進小数データを10倍することに各桁の4ビットのデータを算出するものであるが、特に本実施例では10倍値生成に改良を加えている。すなわち、10倍すべきデータをRとするとその10倍値は、

$$10 \times R = 16 \times R - 6 \times R$$

に展開できる。つまりRを左4ビットシフトしたデータ(16倍値)からRを左2ビットシフトしたデータ(4倍値)とRを左1ビットシフトしたデータ(2倍値)とを減算すればよいことになる。Rの左2ビットシフト、Rの左1ビットシフトを実行する機能(除数シフトa9

1a, 除数シフタb91b) 及び減算機能(3倍値減算装置94)はすでに第2の実施例で実現されているため、Rの左4ビットシフト機能を剰余シフタ90に追加することで10倍値生成は実現できる。

【0033】以下に、小数10進変換動作を詳細に説明する。

(1) 初期設定

- ・剰余レジスタ8に小数点以下の2進データを設定
- ・除数セレクト14は剰余レジスタ8を選択
- ・10倍制御装置10は3倍値減算装置94の出力が剰余セレクト96から出力されるように商決定装置95を制御

(2) 減算処理

- ・剰余シフタ90はデータを左4ビットシフト
- ・除数シフタa91aはデータを左1ビットシフト
- ・除数シフタb91bはデータを左2ビットシフト
- ・3倍値減算装置94において減算( $10R = 16R - 4R - 2R$ )を実行

→ 剰余に小数点以上の桁上がりがある場合にはデータを出力

- ・加算装置12において、直前のサイクルで算出された剰余レジスタ8の内容の上位3ビットと最上位ビット(MSB)1ビット及び3倍値減算装置94で生成された桁上がりとを入力して加算を実行

(3) 10進データラッチ

- ・加算装置12の出力4ビットを10進データレジスタ11に格納
- ・剰余セレクト96を介して3倍値減算装置94の出力のうち、小数点以下の桁数のデータを剰余レジスタ8に格納

(2), (3)動作をn(n: 小数点以下の桁数)回繰り返すことにより $10^{-1} \sim 10^{-n}$ 桁の10進データが生成され結果が10進データレジスタ11に保持される。

【0034】図8は本実施例を用いて2進10進変換する場合の具体的な数値例を示したものであり、2進小数データ'0.000000001'を10進データ'0.0009765625'に変換する場合の様子を示している。

【0035】剰余レジスタ8の内容はそれぞれ直前のサイクルで算出された剰余を10倍したものであり、加算装置12の出力は得られる4ビットのデータを示す。

【1】～【3】サイクルまでは3倍値減算装置94での桁上がりはなく、また直前の剰余レジスタ8に格納された上位3ビットのデータとMSBとを加算した結果が'0000'であることを示している。【4】サイクルでは

【3】サイクルにおいて求められた剰余の上位3ビット及びMSBと、3倍値減算装置94で生じた桁上がりとを加算装置12において和を求めることにより、'1001'を算出し10進データレジスタ11格納している。以下同様の動作を行い、小数点以下10桁の小数10進変換のため、10サイクルで2進10進変換が完了してい

る。

【0036】以上のように本実施例の2進10進変換装置によれば、従来の除算装置に対して小数10進変換機能を付加することによるハードウェアの変更は、除数セレクト、除数シフタa、除数シフタb、剰余シフタの機能追加と10進データレジスタ、10倍制御装置、4ビット加算装置の追加となる。このように、小数10進変換に必要な10倍値生成を、大きな専用ハードウェアを実装することなくわずかなハードウェアの変更で実現することができ、高速な小数2進データの10進変換が可能となる。

【0037】

【発明の効果】以上説明したように、本発明によれば次の事項が実現できる。

【0038】第1に、除算装置の除数データ入力部に除数の代わりに10進データを入力できる構成に変更するだけで1回の除算処理と同様にして2進10進変換が実行できるため、従来に対して(n+1)倍の処理速度を実現できる。即ち、通常の除算装置にわずかなハードウェアを追加することで、2進10進変換の高速化が実現できる。

【0039】第2に、小数の2進データを10進データに変換するのに必要な10倍値生成を大きな専用ハードウェアを実装することなく2ビットシフト型除算装置にわずかなハードウェアを追加することで実現できるため、高速な2進10進変換(小数点以下n桁の2進データの10進変換をnクロックで実行)が可能となる。

【0040】このように本発明によれば、ユーザインタフェースを含むシステムにおいて数値演算で用いるデータフォーマットをアスキーコード等に交換する際に多用され、かつ性能に大きな影響を与える2進10進変換を、わずかなハードウェアの追加で高速に実行でき、その実用的効果は極めて大きい。

【図面の簡単な説明】

【図1】本発明の第1の実施例における2進10進変換装置の構成図

【図2】同2進10進変換装置の詳細な構成図

【図3】同2進10進変換装置の動作説明図

【図4】本発明の第2の実施例における2進10進変換装置の構成図

【図5】同2進10進変換装置の詳細な構成図

【図6】同2進10進変換装置の動作説明図

【図7】本発明の第3の実施例における2進10進変換装置の構成図

【図8】同2進10進変換装置の動作説明図

【図9】従来の2進整数データの2進10進変換のフローチャート

【図10】従来の2進小数データの2進10進変換のフローチャート

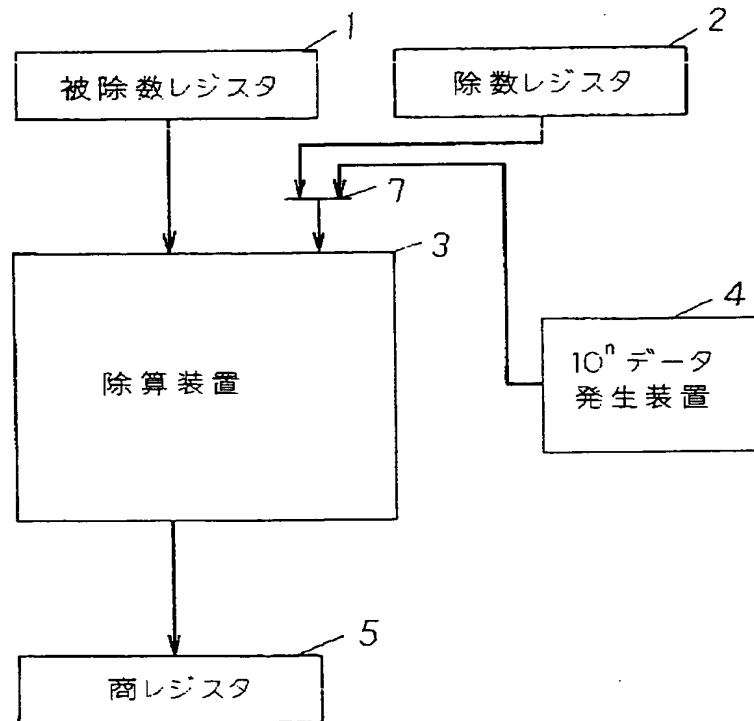
【符号の説明】

(8)

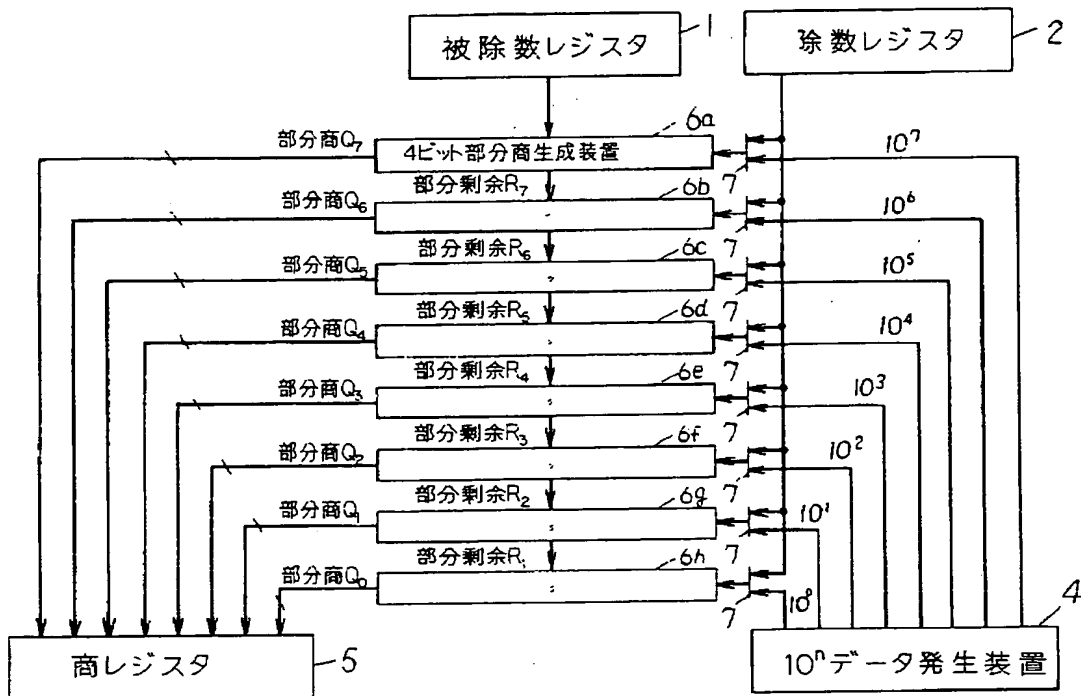
特開平5-324274

- 13
- 1 被除数レジスタ  
2 除数レジスタ  
3 除算装置  
4 10<sup>n</sup>データ発生装置  
5 商レジスタ  
6a~6h 4ビット部分商生成装置  
7, 14 除数セクタ  
8 剰余レジスタ  
9 部分商生成装置  
90 剰余シフト
- 14
- 91a, 91b 除数シフト  
92 減算装置  
93 2倍値減算装置  
94 3倍値減算装置  
95 商決定装置  
96 剰余セクタ  
10 10倍制御装置  
11 10進データレジスタ  
12 加算装置  
10 13 入力セクタ

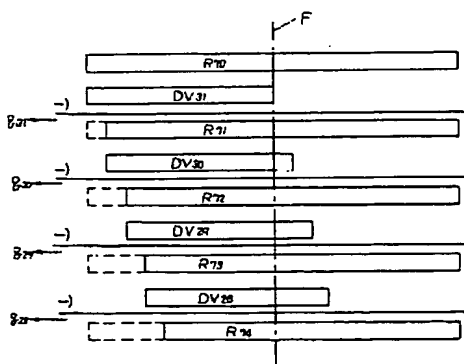
【図1】



【図2】

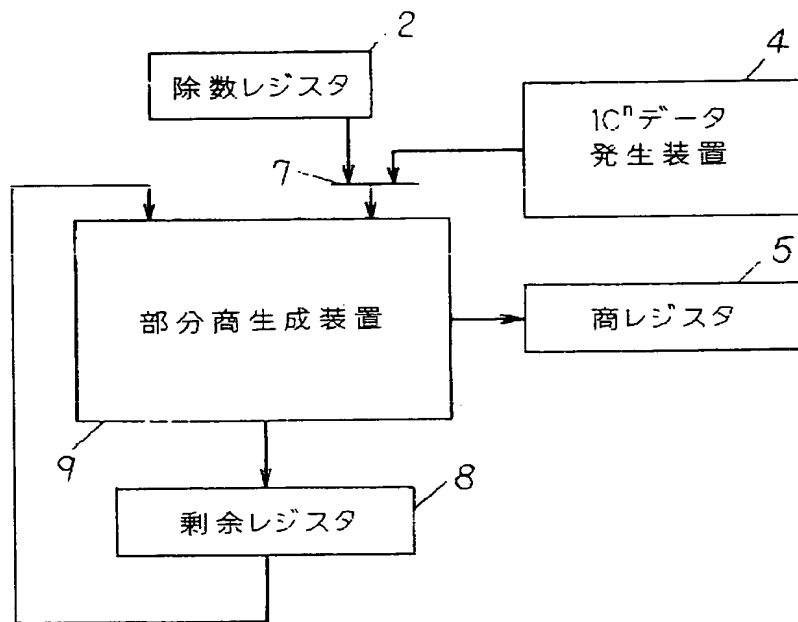


【図3】

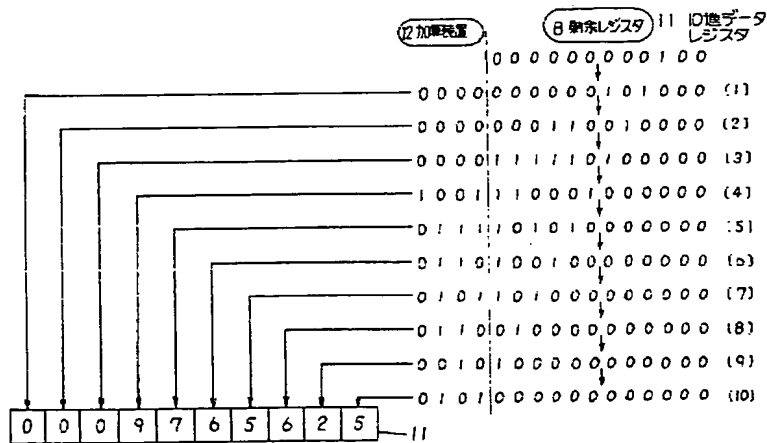


【図4】

## 7 除数セクタ



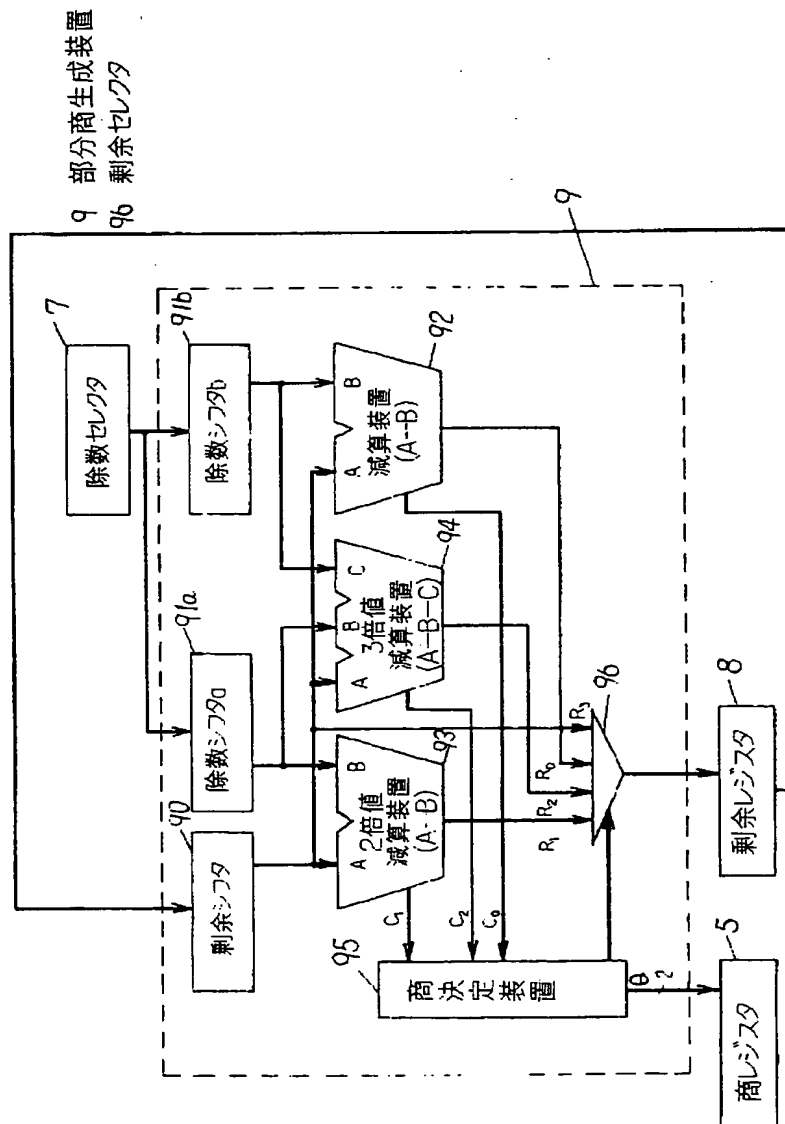
【図8】



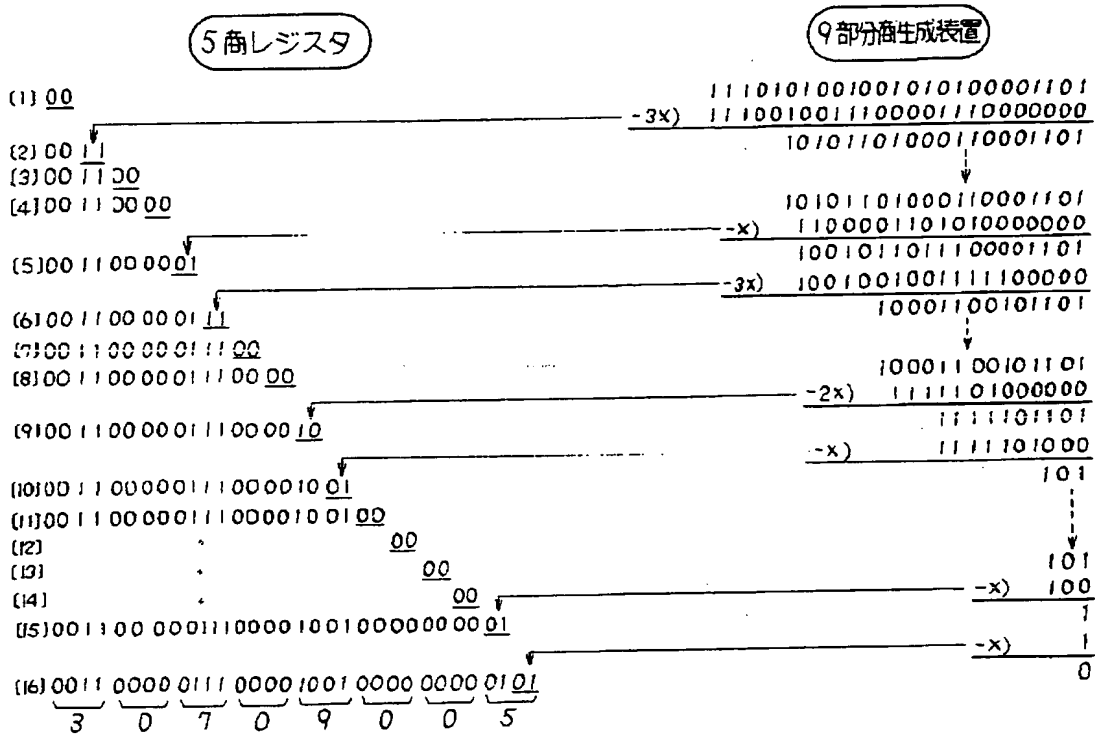
(11)

特開平5-324274

【図5】

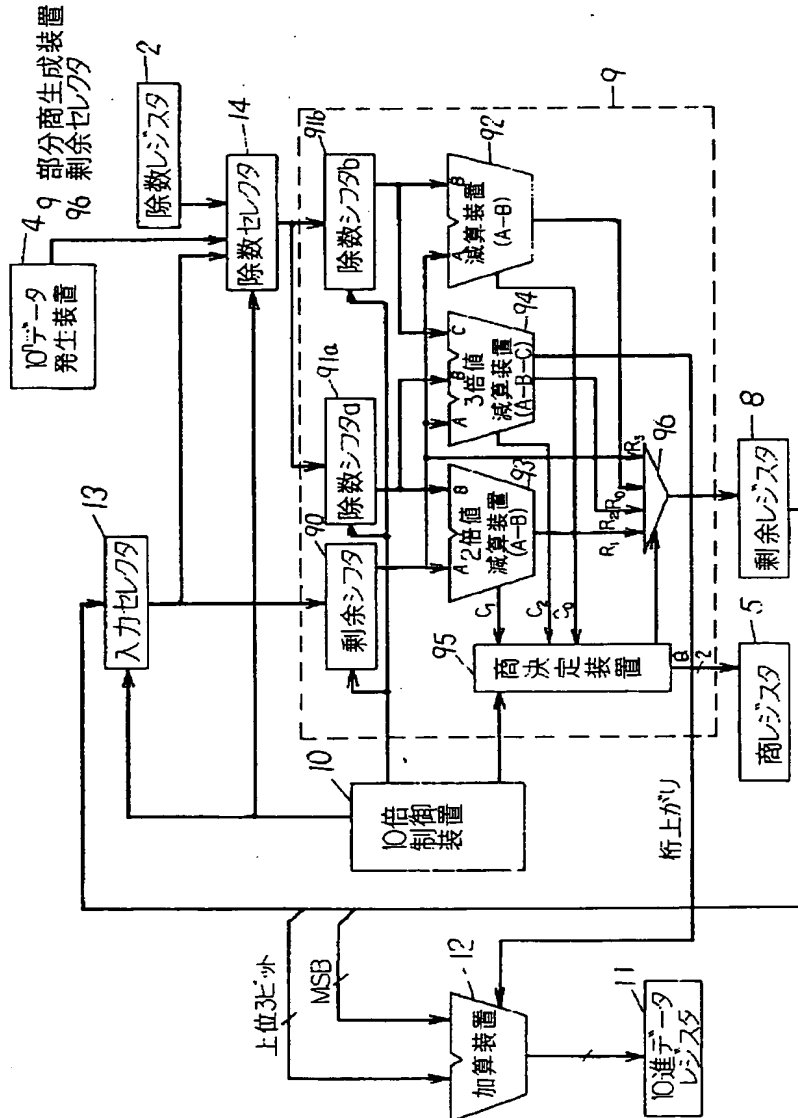


【図 6】

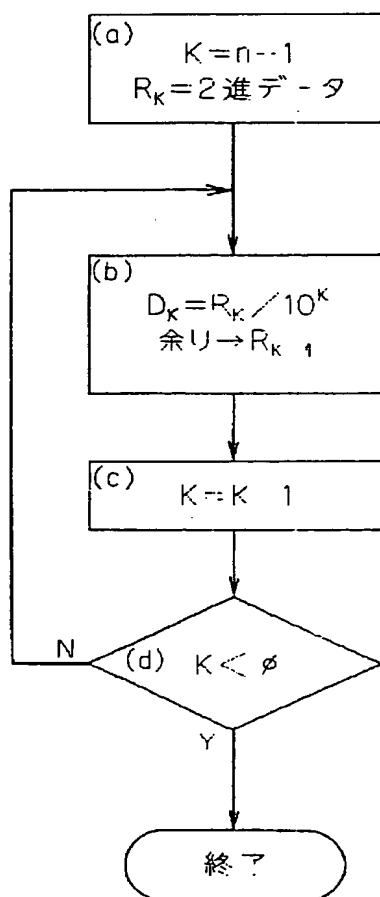




【図7】



【図9】



【図10】

